



Rechnerarchitektur

Von der digitalen Logik zum Parallelrechner

6., aktualisierte Auflage

**Andrew S. Tanenbaum
Todd Austin**

 **Pearson**

**EXTRAS
ONLINE**

Inhaltsverzeichnis

Vorwort Originalausgabe	13
Vorwort zur deutschen Ausgabe	17
Kapitel 1 Einführung	19
1.1 Strukturierte Computerorganisation	21
1.1.1 Sprachen, Ebenen und virtuelle Maschinen	21
1.1.2 Moderne mehrschichtige Maschinen	23
1.1.3 Evolution mehrschichtiger Maschinen	26
Die Erfindung der Mikroprogrammierung	27
Die Erfindung des Betriebssystems	27
Verlagerung von Funktionen in den Mikrocode	30
Beseitigung der Mikroprogrammierung	31
1.2 Meilensteine der Computerarchitektur	31
1.2.1 Die nullte Generation – Mechanische Computer (1642–1945)	33
1.2.2 Die erste Generation – Vakuumröhren (1945–1955)	35
1.2.3 Die zweite Generation – Transistoren (1955–1965)	37
1.2.4 Die dritte Generation – integrierte Schaltungen (1965–1980)	40
1.2.5 Die vierte Generation – VLSI (1980 – ?)	41
1.2.6 Die fünfte Generation – leistungsarme und unsichtbare Computer	44
1.3 Vielfalt der Computer	46
1.3.1 Technologische und wirtschaftliche Kräfte	46
1.3.2 Das Computerspektrum	48
1.3.3 Wegwerfcomputer	49
1.3.4 Mikrocontroller	51
1.3.5 Mobile Computer und Spielkonsolen	53
1.3.6 Personalcomputer	54
1.3.7 Server	55
Cluster	55
1.3.8 Mainframes	56
1.4 Beispiele von Computerfamilien	57
1.4.1 Einführung in die x86-Architektur	57
1.4.2 Einführung in ARM-Architektur	62
1.4.3 Einführung in die AVR-Architektur	64
1.5 Metrische Einheiten	66
1.6 Gliederung dieses Buchs	67
Kapitel 2 Aufbau von Computersystemen	73
2.1 Prozessoren	75
2.1.1 Aufbau der CPU	76
2.1.2 Befehlsausführung	77
2.1.3 RISC kontra CISC	81

Rechnerarchitektur

Inhaltsverzeichnis

Rechnerarchitektur

Impressum

Inhaltsverzeichnis

Vorwort Originalausgabe

Vorwort zur deutschen Ausgabe

Kapitel 1 - Einführung

1.1 Strukturierte Computerorganisation

1.1.1 Sprachen, Ebenen und virtuelle Maschinen

1.1.2 Moderne mehrschichtige Maschinen

1.1.3 Evolution mehrschichtiger Maschinen

1.2 Meilensteine der Computerarchitektur

1.2.1 Die nullte Generation Mechanische Computer (1642/1945)

1.2.2 Die erste Generation Vakuumröhren (1945/1955)

1.2.3 Die zweite Generation Transistoren (1955/1965)

1.2.4 Die dritte Generation integrierte Schaltungen (1965/1980)

1.2.5 Die vierte Generation VLSI (1980 ?)

1.2.6 Die fünfte Generation leistungsschwache und unsichtbare Computer

1.3 Vielfalt der Computer

1.3.1 Technologische und wirtschaftliche Kräfte

1.3.2 Das Computerspektrum

1.3.3 Wegwerfcomputer

1.3.4 Mikrocontroller

1.3.5 Mobile Computer und Spielkonsolen

1.3.6 Personalcomputer

1.3.7 Server

1.3.8 Mainframes

1.4 Beispiele von Computerfamilien

1.4.1 Einführung in die x86-Architektur

1.4.2 Einführung in ARM-Architektur

1.4.3 Einführung in die AVR-Architektur

1.5 Metrische Einheiten

1.6 Gliederung dieses Buchs

Kapitel 2 - Aufbau von Computersystemen

2.1 Prozessoren

2.1.1 Aufbau der CPU

2.1.2 Befehlsausführung

2.1.3 RISC kontra CISC

Inhaltsverzeichnis

2.1.4 Designprinzipien moderner Computer

2.1.5 Parallelität auf Befehlsebene

2.1.6 Parallelität auf Prozessorebene

2.2 Hauptspeicher (Primärspeicher)

2.2.1 Bits

2.2.2 Speicheradressen

2.2.3 Bytereihenfolge

2.2.4 Fehlerkorrekturcodes

2.2.5 Cache-Speicher

2.2.6 Speichermodule und -typen

2.3 Sekundärspeicher

2.3.1 Speicherhierarchien

2.3.2 Festplatten

2.3.3 IDE-Festplatten

2.3.4 SCSI-Festplatten

2.3.5 RAID

2.3.6 Solid-State-Disks

2.3.7 CD-ROMs

2.3.8 Einmal beschreibbare CDs

2.3.9 Wiederbeschreibbare CDs

2.3.10 DVD

2.3.11 Blu-Ray

2.4 Eingabe/Ausgabe

2.4.1 Busse

2.4.2 Terminals

2.4.3 Mäuse

2.4.4 Gamecontroller

2.4.5 Drucker

2.4.6 Telekommunikationsgeräte

2.4.7 Digitalkameras

2.4.8 Zeichencodes

2.4.9 UTF-8

Kapitel 3 - Die Ebene der digitalen Logik

3.1 Gatter und boolesche Algebra

3.1.1 Gatter

3.1.2 Boolesche Algebra

3.1.3 Implementierung von booleschen Funktionen

3.1.4 Schaltungsäquivalenz

3.2 Grundsaltungen der digitalen Logik

3.2.1 Integrierte Schaltungen

3.2.2 Schaltnetze

Inhaltsverzeichnis

3.2.3 Arithmetische Schaltungen

3.2.4 Taktgeber

3.3 Speicher

3.3.1 Latches

3.3.2 Flipflops

3.3.3 Register

3.3.4 Speicherorganisation

3.3.5 Speicherchips

3.3.6 RAM und ROM

3.4 CPU-Chips und Busse

3.4.1 Prozessorchips

3.4.2 Computer-Busse

3.4.3 Busbreite

3.4.4 Bustaktung

3.4.5 Bus-Arbitration

3.4.6 Busoperationen

3.5 Beispiele für CPU-Chips

3.5.1 Der Intel Core i7

3.5.2 Das Ein-Chip-System Texas Instruments OMAP4430

3.5.3 Der Mikrocontroller Atmel ATmega168

3.6 Beispielbusse

3.6.1 Der PCI-Bus

3.6.2 PCI Express

3.6.3 USB (Universal Serial Bus)

3.7 Schnittstellen

3.7.1 E/A-Schnittstellen

3.7.2 Decodierung von Adressen

Kapitel 4 - Die Mikroarchitekturebene

4.1 Beispiel einer Mikroarchitektur

4.1.1 Der Datenpfad

4.1.2 Mikrobefehle

4.1.3 Mikrobefehlssteuerung: Mic-1

4.2 Eine Beispiel-ISA: IJVM

4.2.1 Keller

4.2.2 Das IJVM-Speichermodell

4.2.3 Der IJVM-Befehlssatz

4.2.4 Java zu IJVM kompilieren

4.3 Beispielimplementierung

4.3.1 Mikrobefehle und Notation

4.3.2 IJVM mit der Mic-1 implementieren

4.4 Design der Mikroarchitekturebene

Inhaltsverzeichnis

- 4.4.1 Geschwindigkeit und Kosten
- 4.4.2 Die Länge des Ausführungspfads reduzieren
- 4.4.3 Design mit Prefetching: Mic-2
- 4.4.4 Fließbandverarbeitung: Mic-3
- 4.4.5 Siebenstufige Pipeline: Mic-4

4.5 Leistungsverbesserung

- 4.5.1 Cache-Speicher
- 4.5.2 Sprungvorhersage
- 4.5.3 Out-of-Order-Ausführung und Registerumbenennung
- 4.5.4 Spekulative Ausführung

4.6 Beispiele der Mikroarchitekturebene

- 4.6.1 Die Mikroarchitektur der Core-i7-CPU
- 4.6.2 Die Mikroarchitektur der OMAP4430-CPU
- 4.6.3 Die Mikroarchitektur des Mikrocontrollers ATmega168

4.7 Core i7, OMAP4430 und ATmega168 im Vergleich

Kapitel 5 - Die ISA-Ebene

5.1 Übersicht über die ISA-Ebene

- 5.1.1 Eigenschaften der ISA-Ebene
- 5.1.2 Speichermodelle
- 5.1.3 Register
- 5.1.4 Befehle
- 5.1.5 Übersicht über die ISA-Ebene des Core i7
- 5.1.6 Übersicht über die ISA-Ebene des ARM OMAP4430
- 5.1.7 Übersicht über die ISA-Ebene des AVR ATmega168

5.2 Datentypen

- 5.2.1 Numerische Datentypen
- 5.2.2 Nicht numerische Datentypen
- 5.2.3 Datentypen des Core i7
- 5.2.4 Datentypen des OMAP4430
- 5.2.5 Datentypen der ATmega168 AVR-CPU

5.3 Befehlsformate

- 5.3.1 Designkriterien für Befehlsformate
- 5.3.2 Opcodes erweitern
- 5.3.3 Befehlsformate des Core i7
- 5.3.4 Befehlsformate der OMAP4430-ARM-CPU
- 5.3.5 Die Befehlsformate des ATmega168 AVR

5.4 Adressierung

- 5.4.1 Adressierungsmodi
- 5.4.2 Unmittelbare Adressierung
- 5.4.3 Direkte Adressierung
- 5.4.4 Registeradressierung

Inhaltsverzeichnis

- 5.4.5 Indirekte Registeradressierung
- 5.4.6 Indizierte Adressierung
- 5.4.7 Basisindizierte Adressierung
- 5.4.8 Kelleradressierung
- 5.4.9 Adressierungsmodi für Verzweigungen
- 5.4.10 Orthogonalität von Opcodes und Adressierungsmodi
- 5.4.11 Adressierungsmodi des Core i7
- 5.4.12 Adressierungsmodi der OMAP4430-ARM-CPU
- 5.4.13 Adressierungsmodi des ATmega168 AVR
- 5.4.14 Adressierungsmodi im Vergleich

5.5 Befehlstypen

- 5.5.1 Befehle zur Datenbewegung
- 5.5.2 Dyadische Operationen
- 5.5.3 Monadische Operationen
- 5.5.4 Vergleiche und bedingte Verzweigungen
- 5.5.5 Befehle für Prozeduraufrufe
- 5.5.6 Schleifensteuerung
- 5.5.7 Ein-/Ausgabe
- 5.5.8 Befehle des Core i7
- 5.5.9 Befehle des OMAP4430
- 5.5.10 Befehle des ATmega168 AVR
- 5.5.11 Befehlssätze im Vergleich

5.6 Ablaufsteuerung

- 5.6.1 Sequenzielle Ablaufsteuerung und Sprünge
- 5.6.2 Prozeduren
- 5.6.3 Coroutinen
- 5.6.4 Traps
- 5.6.5 Interrupts

5.7 Ausführliches Beispiel: Die Türme von Hanoi

- 5.7.1 Türme von Hanoi in der Core-i7-Assemblersprache
- 5.7.2 Türme von Hanoi in der OMAP4430-ARM-Assemblersprache

5.8 Die IA-64-Architektur und der Itanium 2

- 5.8.1 Das Problem mit der IA-32-ISA
- 5.8.2 Das IA-64-Modell: EPIC
- 5.8.3 Verringerung von Speicherreferenzen
- 5.8.4 Befehlsplanung
- 5.8.5 Bedingte Verzweigungen verringern: bedingte Befehlsausführung
- 5.8.6 Spekulative Ladeoperationen

Kapitel 6 - Die Ebene der Betriebssystemmaschine

6.1 Virtueller Speicher

- 6.1.1 Seitenauslagerung

Inhaltsverzeichnis

- 6.1.2 Implementierung der Seitenauslagerung
- 6.1.3 Seitenanforderung und Arbeitsbereich
- 6.1.4 Seitenersetzung
- 6.1.5 Seitengröße und Fragmentierung
- 6.1.6 Segmentierung
- 6.1.7 Implementierung der Segmentierung
- 6.1.8 Virtueller Speicher im Core i7
- 6.1.9 Virtueller Speicher in der OMAP4430 ARM-CPU
- 6.1.10 Virtueller Speicher und Caching

6.2 Hardwarevirtualisierung

- 6.2.1 Hardwarevirtualisierung beim Core i7

6.3 E/A-Befehle auf OSM-Ebene

- 6.3.1 Dateien
- 6.3.2 Implementierung von E/A-Befehlen auf OSM-Ebene
- 6.3.3 Befehle für die Verzeichnisverwaltung

6.4 Befehle der OSM-Ebene für parallele Verarbeitung

- 6.4.1 Erstellen von Prozessen
- 6.4.2 Race Conditions
- 6.4.3 Semaphore zur Synchronisierung von Prozessen

6.5 Beispiele von Betriebssystemen

- 6.5.1 Einführung
- 6.5.2 Beispiele für virtuellen Speicher
- 6.5.3 Beispiele für Ein-/Ausgabe auf Betriebssystemebene
- 6.5.4 Beispiele der Prozessverwaltung

Kapitel 7 - Die Ebene der Assemblersprache

7.1 Einführung in die Assemblersprache

- 7.1.1 Was ist eine Assemblersprache?
- 7.1.2 Wofür braucht man eine Assemblersprache?
- 7.1.3 Format einer Anweisung in Assemblersprache
- 7.1.4 Pseudobefehle

7.2 Makros

- 7.2.1 Definition, Aufruf und Erweiterung eines Makros
- 7.2.2 Makros mit Parametern
- 7.2.3 Weitere Eigenschaften
- 7.2.4 Makrotechnik in einem Assembler implementieren

7.3 Der Assemblierungsprozess

- 7.3.1 Zwei-Pass-Assembler
- 7.3.2 Erster Lauf
- 7.3.3 Zweiter Lauf
- 7.3.4 Die Symboltabelle

7.4 Binden und Laden

Inhaltsverzeichnis

- 7.4.1 Aufgaben des Linkers
- 7.4.2 Struktur eines Objektmoduls
- 7.4.3 Bindezeit und dynamische Relokation
- 7.4.4 Dynamisches Binden
- 7.4.5 Dynamisches Binden unter Unix

Kapitel 8 - Parallele Rechnerarchitekturen

8.1 Parallelität auf demselben Chip

- 8.1.1 Parallelität auf Befehlsebene
- 8.1.2 On-Chip-Multithreading
- 8.1.3 Ein-Chip-Multiprozessoren

8.2 Coprozessoren

- 8.2.1 Netzwerkprozessoren
- 8.2.2 Grafikprozessoren
- 8.2.3 Kryptoprozessoren

8.3 Multiprozessoren mit gemeinsamem Speicher

- 8.3.1 Multiprozessoren und Multicomputer
- 8.3.2 Speichersemantik
- 8.3.3 Symmetrische UMA-Multiprozessorarchitekturen
- 8.3.4 NUMA-Multiprozessoren
- 8.3.5 COMA-Multiprozessorsysteme

8.4 Multicomputer mit Nachrichtenaustausch

- 8.4.1 Verbindungsnetze
- 8.4.2 MPPs Massiv parallele Prozessorsysteme
- 8.4.3 Cluster-Rechner
- 8.4.4 Kommunikationssoftware für Multicomputer
- 8.4.5 Scheduling
- 8.4.6 Gemeinsamer Speicher auf Anwendungsebene
- 8.4.7 Leistung

8.5 Grid-Computing

Literaturverzeichnis

Anhang A - Binärzahlen

- A.1 Zahlen mit endlicher Genauigkeit
- A.2 Zahlensysteme mit anderen Basen
- A.3 Umwandlung von einer Basis in eine andere
- A.4 Negative Binärzahlen
- A.5 Binärarithmetik

Anhang B - Gleitkommazahlen

- B.1 Grundlagen der Gleitkommaarithmetik
- B.2 IEEE-Standard 754 für Gleitkommazahlen

Inhaltsverzeichnis

Anhang C - Assemblerprogrammierung

C.1 Überblick

- C.1.1 Assemblersprache
- C.1.2 Ein kleines Assemblerprogramm

C.2 Der 8088-Prozessor

- C.2.1 Der Prozessorzyklus
- C.2.2 Die allgemeinen Register
- C.2.3 Zeigerregister

C.3 Speicher und Adressierung

- C.3.1 Speicherorganisation und Segmente
- C.3.2 Adressierung

C.4 Der Befehlssatz des 8088

- C.4.1 Lade-, Kopier und Arithmetikbefehle
- C.4.2 Logische Operationen, Bit- und Verschiebeoperationen
- C.4.3 Schleifen und wiederholte Zeichenfolgenoperationen
- C.4.4 Sprung- und Aufrufbefehle
- C.4.5 Unterprogrammaufrufe
- C.4.6 Systemaufrufe und Systemunterprogramme
- C.4.7 Abschließende Bemerkungen zum Befehlssatz

C.5 Der Assembler

- C.5.1 Einführung
- C.5.2 Der ACK-basierte Assembler as88
- C.5.3 Einige Unterschiede zu anderen 8088-Assemblern

C.6 Der Tracer

- C.6.1 Tracer-Kommandos

C.7 Erste Schritte

C.8 Beispiele

- C.8.1 Das Beispiel Hello World
- C.8.2 Beispiel für allgemeine Register
- C.8.3 Der CALL-Befehl und Zeigerregister
- C.8.4 Fehler in einem Programm zur Ausgabe von Feldern suchen
- C.8.5 Zeichenfolgenmanipulation und Zeichenfolgenbefehle
- C.8.6 Verzweigungstabellen
- C.8.7 Gepufferter und wahlfreier Dateizugriff

Namensregister

A

- Abramson 670
- Adams 152
- Adiga 642
- Adve 611

Inhaltsverzeichnis

Agerwala 87
Ahmadinia 592
Aiken 34, 103
Alam 642
Almasi 642
Amza 657
Anderson 206, 231, 244, 647
Arronategui 670
Atanasoff 34, 36
August 445

B

Babbage 33
Bachrach 31
Bal 660, 664
Balasangameshwara 670
Banzi 52
Barroso 652
Bechini 45
Bell 647
Bhaktavatchalu 592
Binstock 586
Bjornson 660
Blumrich 642
Bogen 64
Boole 169
Bose 47
Bouknight 89
Bradley 42
Bride 42
Brightwell 645
Burkhardt 633

C

Carriero 658
Carter 627
Celaya 670
Charlesworth 631
Chen 331
Cheng 627
Chou 575
Cocke 81, 87
Cohen 95
Congdon 243

Inhaltsverzeichnis

Corbató 473
Cray 39, 81, 90
Cuartielles 52

D

Denning 464
Dijkstra 322, 393, 424, 495
Donaldson 152
Dubois 613
Dulchinos 152
Dulong 447
Dutta-Roy 152

E

Ellis 624
Estridge 42

F

Faggin 57
Falcon 331
Fisher 334
Flynn 608
Forrester 37
Foster 670
Fotheringham 458
Freitas 600
Freudenberger 334
Furber 62

G

Gaspar 603
Gaur 329
Geist 653
Gelernter 658
Gepner 586
Gerber 586
Gharachorloo 614
Goldstine 36
Goodman 612, 616
Goth 42
Gropp 653
Gurumurthi 110
Gutenberg 139

H

Hagersten 633

Inhaltsverzeichnis

Haghighizadeh 603
Hamming 48, 97, 98
Hawkins 45
Heinze 47
Henkel 46
Hennessy 81
Hill 611
Hoagland 48
Hoare 662
Hoff 57
Hudak 607, 656

I

IBM 642

J

Jacobs 765
Jefferson 35
Jesshope 633
Jimenez 331
Jobs 42
Johnson 658
Jones 152

K

Kahan 702
Kaufman 152
Kesselman 670
Kilby 40
Kildall 42
Kim 47
Knuth 472
Kozyrakis 329
Krishnan 243

L

Lampert 611
LaRowe 624
Lee 670
Leibniz 33
Li 607, 656
Lin 600
Linné 608
Lukasiewicz 392

M

Inhaltsverzeichnis

Masuoka 115
Mauchley 34, 35
Mayhew 243
McKusick 501
McNairy 448
Moore 46, 89
Morgan 31
Moudgill 337
Mukherjee 46

N

Naeem 615
Nakao 600
Noyce 40, 57

O

Ogston 765
Olsen 37
Organick 473
Oskin 47
Ousterhout 501

P

Panetta 27
Papamarcos 616, 618
Parikh 331
Pascal 33
Patel 616, 618
Patterson 81, 112, 372
Pountain 87

R

Radin 81
Raju 670
Ritchie 499
Rock 57
Rosenblum 501
Russonovich 520
Rusu 448

S

Saha 46
Sakamura 46
Sanchez 329
Scales 658
Schaminee 765

Inhaltsverzeichnis

Seltzer 501
Séquin 81, 372
Shahrabi 592
Shanley 231
Shoufan 603
Shugart 110
Singh 42
Slater 31
Snir 653
Solari 206, 231, 243
Solomon 520
Soltis 448
Sorin 611, 615
Stets 658
Stevenson 765
Stibbitz 34
Summers 147
Sunderram 653
Swan 624
Swift 95

T

Tan 244
Tanenbaum 499, 519, 595, 660
Thompson 499
Torvalds 500
Treleaven 608
Tu 615
Turing 35

V

Vahid 27
van Renesse 765
Vassiliadis 337
Vetter 147
von Neumann 36, 390
Vries 765
Vu 633
Vyssotsky 473

W

Wams 765
Watson 38
Weiser 46

Inhaltsverzeichnis

Wetherall 595

Wilkes 27, 35, 79

Willse 206, 231

Wollan 65

Wozniak 42

Y

Yamamoto 600

Yoo 46

Z

Zhang 633

Zuse 34

Register

Copyright

Copyright

Daten, Texte, Design und Grafiken dieses eBooks, sowie die eventuell angebotenen eBook-Zusatzdaten sind urheberrechtlich geschützt. Dieses eBook stellen wir lediglich als **persönliche Einzelplatz-Lizenz** zur Verfügung!

Jede andere Verwendung dieses eBooks oder zugehöriger Materialien und Informationen, einschließlich

- der Reproduktion,
- der Weitergabe,
- des Weitervertriebs,
- der Platzierung im Internet, in Intranets, in Extranets,
- der Veränderung,
- des Weiterverkaufs und
- der Veröffentlichung

bedarf der **schriftlichen Genehmigung** des Verlags. Insbesondere ist die Entfernung oder Änderung des vom Verlag vergebenen Passwort- und DRM-Schutzes ausdrücklich untersagt!

Bei Fragen zu diesem Thema wenden Sie sich bitte an: **info@pearson.de**

Zusatzdaten

Möglicherweise liegt dem gedruckten Buch eine CD-ROM mit Zusatzdaten oder ein Zugangscode zu einer eLearning Plattform bei. Die Zurverfügungstellung dieser Daten auf unseren Websites ist eine freiwillige Leistung des Verlags. **Der Rechtsweg ist ausgeschlossen.** Zugangscodes können Sie darüberhinaus auf unserer Website käuflich erwerben.

Hinweis

Dieses und viele weitere eBooks können Sie rund um die Uhr und legal auf unserer Website herunterladen:

<https://www.pearson-studium.de>